

SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP1133285
Publication date: 1989-05-25
Inventor(s): YOSHIMOTO MASAHIKO; others: 01
Applicant(s):: MITSUBISHI ELECTRIC CORP
Requested Patent: ☐ JP1133285
Application JP19870291345 19871117
Priority Number(s):
IPC Classification: G11C11/34
EC Classification:
Equivalents:

Abstract

PURPOSE: To minimize a cell size and to obtain a memory device whose capacity is made larger by composing each memory cell of two transistors and one capacity means.

CONSTITUTION: At the time of writing, when a word line WWL for writing is made into a positive potential, an FET11 for writing data is turned on, and the information of either '1' or '0' on a writing bit line WBL is accumulated in a memory capacity 13. Further, at the time of reading, when a word line RWL for reading is made into the positive potential, an FET12 for reading data is turned on. When '1' is accumulated in the memory capacity 13, the potential of a previously precharged reading bit line RBL is boosted and when '0' is accumulated in the memory capacity 13, the potential of the line RBL is lowered. The reading is executed by detecting the potential change of this line RBL.

⑫ 公開特許公報(A)

平1-133285

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)5月25日

G 11 C 11/34

3 5 2

B-8522-5B

審査請求 未請求 発明の数 2 (全11頁)

⑭ 発明の名称 半導体記憶装置

⑮ 特 願 昭62-291345

⑯ 出 願 昭62(1987)11月17日

⑰ 発 明 者 吉 本 雅 彦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑱ 発 明 者 松 村 哲 哉 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 情報を記憶するための少なくとも1つのメモリセルと、

前記少なくとも1つのメモリセルに接続され、前記メモリセルに情報を書込むための少なくとも1本の書込用ビット線と、

前記少なくとも1つのメモリセルに接続され、前記メモリセルに記憶される情報を読出すための少なくとも1本の読出用ビット線とを備え、

前記メモリセルは、

前記情報を蓄積するための容量手段と、

前記書込用ビット線と前記容量手段との間に接続され、前記書込用ビット線を介して与えられる情報を前記容量手段に転送するための第1のトランジスタと、

前記読出用ビット線と前記容量手段との間に接続され、前記容量手段に蓄えられた情報を前記読

出用ビット線に転送するための第2のトランジスタを含む半導体記憶装置。

(2) 前記第1のトランジスタは、前記書込用ビット線に接続される一方導通端子と、前記容量手段に接続される他方導通端子と、書込用選択信号が与えられる制御端子とを備え、

前記第2のトランジスタは、前記読出用ビット線に接続される一方導通端子と、前記容量手段に接続される他方導通端子と、読出用選択信号が与えられる制御端子とを備える特許請求の範囲第1項記載の半導体記憶装置。

(3) 前記第1のトランジスタおよび前記第2のトランジスタはMOS電界効果トランジスタである特許請求の範囲第1項または第2項記載の半導体記憶装置。

(4) 少なくとも1列に配列され、情報を記憶するための複数のメモリセル、

前記複数のメモリセルの各列に対応して設けられ、前記複数のメモリセルに情報を書込むための少なくとも1本の書込用ビット線、

前記複数のメモリセルの各列に対応して設けられ、前記複数のメモリセルに記憶される情報を読出すための少なくとも1本の読出用ビット線、

前記各列の前記各メモリセルに対応して設けられた複数の第1の選択線、

前記各列の前記各メモリセルに対応して設けられた複数の第2の選択線、

前記複数の第1の選択線のいずれかに書込用選択信号を与える書込用選択手段、および

前記複数の第2の選択線のいずれかに読出用選択信号を与える読出用選択手段を備え、

前記各メモリセルは、

前記情報を蓄積するための容量手段、

前記書込用ビット線と前記容量手段との間に接続され、前記第1の選択線に与えられる前記書込用選択信号にตอบสนองして、前記書込用ビット線を介して与えられる情報を前記容量手段に転送する第1のトランジスタ、および

前記読出用ビット線と前記容量手段との間に接続され、前記第2の選択線に与えられる前記読出

用選択信号にตอบสนองして、前記容量手段に蓄えられた情報を前記読出用ビット線に転送する第2のトランジスタを含む半導体記憶装置。

(5) 前記第1のトランジスタは、前記書込用ビット線に接続された一方導通端子と、前記容量手段に接続された他方導通端子と、前記第1の選択線に接続された制御端子とを備え、

前記第2のトランジスタは、前記読出用ビット線に接続された一方導通端子と、前記容量手段に接続された他方導通端子と、前記第2の選択線に接続された制御端子とを備える特許請求の範囲第4項記載の半導体記憶装置。

(6) 前記第1の選択手段および前記第2の選択手段は、前記複数の第1の選択線および前記複数の第2の選択線にそれぞれ順に前記書込用選択信号および前記読出用選択信号を与えるリングポイントからなる特許請求の範囲第4項または第5項記載の半導体記憶装置。

(7) 前記書込用ビット線に情報を与えるための情報入力手段、

える特許請求の範囲第8項記載の半導体記憶装置。

(10) 前記各メモリセルに対応する前記第1の選択線と、そのメモリセルに隣接するメモリセルに対応する前記第2の選択線とが共通であり、前記第1の選択手段と前記第2の選択手段とが共通である特許請求の範囲第4項ないし第9項のいずれかに記載の半導体記憶装置。

(11) 前記第1の選択手段および前記第2の選択手段は、それぞれアドレス信号にตอบสนองして前記複数の第1の選択線および前記複数の第2の選択線のいずれかにそれぞれ前記書込用選択信号および前記読出用選択信号を与えるデコードからなる特許請求の範囲第4項または第5項に記載の半導体記憶装置。

(12) 前記書込用ビット線に情報を与えるための情報入力手段、

前記読出用ビット線に接続され、その読出用ビット線上の情報を増幅するためのセンスアンプ、および

前記センスアンプから前記情報を取出すための

前記読出用ビット線に接続され、その読出用ビット線上の情報を増幅するためのセンスアンプ、および

前記センスアンプから前記情報を取出すための情報出力手段をさらに備える特許請求の範囲第4項ないし第6項のいずれかに記載の半導体記憶装置。

(8) 前記読出用ビット線は前記複数のメモリセルの各列ごとに2本ずつ設けられ、前記各列のメモリセルのうち奇数番目のメモリセルは前記2本の読出用ビット線の一方に接続され、前記各列のメモリセルのうち偶数番目のメモリセルは前記2本の読出用ビット線の他方に接続される特許請求の範囲第4項ないし第7項のいずれかに記載の半導体記憶装置。

(9) 前記奇数番目のメモリセルが選択された場合には前記2本の読出用ビット線のうち一方の情報を選択し、前記偶数番目のメモリセルが選択された場合には前記2本の読出用ビット線のうち他方の情報を選択する情報選択手段をさらに備

情報出力手段をさらに備える特許請求の範囲第1項記載の半導体記憶装置。

(13) 前記読出用ビット線は前記複数のメモリセルの各列ごとに2本ずつ設けられ、前記各列のメモリセルのうち奇数番目のメモリセルは前記2本の読出用ビット線の一方に接続され、前記各列のメモリセルのうち偶数番目メモリセルは前記2本のビット線の他方に接続される特許請求の範囲第11項または第12項記載の半導体記憶装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、占有面積の小さいダイナミック型の半導体記憶装置に関するものである。

[従来の技術]

第8図は、最初に入力されたデータが最初に読出されるFIFO(first in first out)メモリ等に用いられる従来の3トランジスタ型メモリセルの回路図である。

このメモリセルは、データ蓄積用のトランジ

スタ1と、データ書込用のトランジスタ2と、データ読出用のトランジスタ3と、記憶容量4とからなり、これらのトランジスタ1, 2, 3としてnチャネル型MOS電界効果トランジスタが用いられている。このメモリセルにおいては、記憶容量4における電荷の有無によって「1」および「0」の情報が表わされる。データ蓄積用のトランジスタ1のゲートにはデータ書込用のトランジスタ2のソース・ドレインを介して書込データビット線5が接続されており、データ書込用のトランジスタ2のゲートには書込用の選択線6が接続されている。データ書込用のトランジスタ2は書込ゲートとして働く。また、データ蓄積用のトランジスタ1のソースにはデータ読出用のトランジスタ3のソース・ドレインを介して読出データビット線7が接続されており、データ読出用のトランジスタ3のゲートには読出用の選択線8が接続されている。データ読出用のトランジスタ3は読出ゲートとして働く。

次にこのメモリセルの動作について説明する。

読出データビット線7は通常、正電位 V_{P_0} にプリチャージされており、書込用の選択線6および読出用の選択線8は通常、0電位に保たれている。書込時には、書込用の選択線6を正電位にし、読出用の選択線8を0電位に保っておく。「1」を書込む場合には、書込データビット線5を所定の正電位に保つと、この電位がデータ書込用のトランジスタ2を通してデータ蓄積用のトランジスタ1に伝達され、記憶容量4が充電される。

また、「0」を書込む場合には、書込データビット線5を0電位に保つと、この0電位がデータ書込用のトランジスタ2を通してデータ蓄積用のトランジスタ1に伝達され、記憶容量4が放電される。

その後、書込用の選択線6を0電位に戻すことにより「1」または「0」の情報がメモリセル9内に保持される。記憶容量4はデータ書込用のトランジスタ2のサブスレッショルド電流等によるリーク電流により放電あるいは充電されて徐々に情報が消失してしまうので、一定時間内にリフレ

ッシュするかまたはデータを読出す必要がある。

読出時には、読出用の選択線8を正電位にし、書込用の選択線6を0電位に保っておく。メモリセル9内に「1」がストアされて記憶容量4が正電位に充電されている場合には、予め正電位 V_{P_0} にプリチャージされていた読出データビット線7は、データ読出用のトランジスタ3およびデータ蓄積用のトランジスタ1を通して0電位まで放電される。一方、メモリセル9内に「0」がストアされて記憶容量4の電位が0電位である場合には、データ蓄積用のトランジスタ1が非導通の状態であるので、読出データビット線7の電位はプリチャージ電圧 V_{P_0} を維持する。したがって、読出データビット線7の電位を調べることによって、メモリセル9に記憶された情報を知ることができる。

第9図に読出データビット線7をプリチャージするための回路および読出データビット線7の電位を増幅するためのセンスアンプ回路の一例を示す。

プリチャージ用トランジスタ71のゲートに与えられるプリチャージ信号PCが「H」レベルに立上がると、そのトランジスタ71が導通し、読出データビット線7が電源電位 V_{cc} にプリチャージされる。メモリセルから読出データビット線7に情報が読出されると、インバータ72の出力は読出データビット線7の電位に応じて「H」レベルまたは「L」レベルとなる。トランジスタ73のゲートに与えられるセンスイネーブル信号SEが「H」レベルに立上がると、インバータ72の出力がインバータ74および75からなるラッチ回路に保持される。

〔発明が解決しようとする問題点〕

従来の3トランジスタ型メモリセルは以上のよう構成されているので、1メモリセルあたり4素子(3Tr, 1C)必要である。そのためにセルサイズが大きくなり、半導体記憶装置の大容量化に不向きであるなどの問題点があった。

この発明の主たる目的は、大容量化に適したメモリセルを含む半導体記憶装置を得ることである。

情報を蓄積するための少なくとも1本の書込用ビット線と、複数のメモリセルの各列に対応して設けられかつ複数のメモリセルに記憶される情報を読出すための少なくとも1本の読出用ビット線と、各列の各メモリセルに対応して設けられた複数の第1の選択線と、各列の各メモリセルに対応して設けられた複数の第2の選択線と、複数の第1の選択線のいずれかに書込用選択信号を与える書込用選択手段と、複数の第2の選択線のいずれかに読出用選択信号を与える読出用選択手段とを備え、各メモリセルは、情報を蓄積するための容量手段と、書込用ビット線と容量手段との間に接続されかつ書込用ビット線を介して与えられる情報を第1の選択線に与えられる書込用選択信号に応答して容量手段に転送する第1のトランジスタと、読出用ビット線と容量手段との間に接続されかつ容量手段に蓄えられた情報を第2の選択線に与えられる読出用選択信号に応答して読出用ビット線に転送する第2のトランジスタを含むものである。

〔作用〕

〔問題点を解決するため手段〕

上記目的を達成するために、この発明に係る半導体記憶装置は、情報を記憶するための少なくとも1つのメモリセルと、少なくとも1つのメモリセルに接続され、メモリセルに情報を蓄積するための少なくとも1本の書込用ビット線と、少なくとも1つのメモリセルに接続されメモリセルに記憶される情報を読出すための少なくとも1本の読出用ビット線とを備え、メモリセルは、情報を蓄積するための容量手段と、書込用ビット線と容量手段との間に接続されかつ書込用ビット線を介して与えられる情報を容量手段に転送するための第1のトランジスタと、読出用ビット線と容量手段との間に接続されかつ容量手段に蓄えられた情報を読出用ビット線に転送するための第2のトランジスタを含むものである。

この発明の他の局面に従う半導体記憶装置は、少なくとも1列に配列されかつ情報を記憶するための複数のメモリセルと、複数のメモリセルの各列に対応して設けられかつ複数のメモリセルに情

この発明に係る半導体記憶装置に含まれる各メモリセルは、2つのトランジスタと1つの容量手段とからなるので、セルサイズが小さくなる。したがって、大容量の半導体記憶装置を構成することが可能となる。

〔実施例〕

以下、この発明の実施例について図面を用いて説明する。

第1図は、この発明の一実施例によるFIFOメモリに含まれるメモリセルの回路図である。このメモリセルは、データ書込用のトランジスタ11と、データ読出用のトランジスタ12と、記憶容量13とからなる。これらのトランジスタ11、12としてnチャネル型MOS電界効果トランジスタ(MOSFET)が用いられる。データ書込用トランジスタ11のソース(またはドレイン)とデータ読出用トランジスタ12のソース(またはドレイン)と記憶容量13の一端とがノードN1で接続されている。また、データ書込用トランジスタ11のドレイン(またはソース)は書込ビ

ット線WBLに接続され、データ読出用トランジスタ12のドレイン（またはソース）は読出ビット線RBLに接続されている。さらに、データ書込用トランジスタ11のゲートは書込用ワード線WWLに接続され、データ読出用トランジスタ12のゲートは読出用ワード線RWLに接続されている。メモリセルの領域は14で示されている。

次に、このメモリセルの動作を説明する。書込時には、書込用ワード線WWLを正電位にすると、データ書込用のトランジスタ11がオンし、書込ビット線WBL上の「1」または「0」の情報が記憶容量13に蓄積される。また、読出時には、読出用ワード線RWLを正電位にすると、データ読出用のトランジスタ12がオンする。記憶容量13に「1」の情報が蓄積されていると、予めプリチャージされている読出ビット線RBLの電位が上昇し、記憶容量13に「0」の情報が蓄積されていると、読出ビット線RBLの電位が低下する。この読出ビット線RBLの電位変化を後述する方法で検出することにより、読出が行なわれる。

グポイント23の出力線は読出用ワード線としてメモリセルアレイ21内のメモリセルに接続されている。

また、データ入力回路24は書込用リングポイント22によって指定された複数のメモリセルにデータ $D_1 \sim D_n$ を書込むためのものである。データ出力回路25は読出用リングポイント23によって指定された複数のメモリセルからデータ $Q_1 \sim Q_n$ を読出すためのものである。メモリセルへのデータの書込およびメモリセルからのデータの読出は、それぞれ書込コントロール回路26および読出コントロール回路27によって互いに独立に制御される。リセット回路28は書込用リングポイント22および読出用リングポイント23をリセットするためのものである。

なお、書込データのオーバフローを防ぐためのコントロール回路を必要に応じて設けてもよい。

第3図は、メモリセルアレイ21における1列の部分を詳細に示した回路図である。第3図に示すように、メモリセルアレイ21の1列には、 m

次に、第1図のメモリセルを用いたFIFOメモリについて説明する。FIFOメモリは、送られてくるデータを順に記憶しながら、それまで記憶したデータを出力要求に応じて先着順に送り出すものであり、主として、処理速度が異なるシステム間でのデータ交換のためのバッファ機能として用いることができる。

第2図は、 m ワード $\times n$ ビットに構成されたFIFOメモリを示すブロック図である。第2図において、メモリセルアレイ21は第1図のメモリセルが複数個、複数行および複数列に配列されたものである。書込用リングポイント22は m 段のシフトレジスタからなり、メモリセルアレイ21の中からデータを書込むべきメモリセルを指定するものである。読出用リングポイント23は同じく m 段のシフトレジスタからなり、メモリセルアレイ21の中からデータを読出すべきメモリセルを指定するものである。書込用リングポイント22の出力線は書込用ワード線としてメモリセルアレイ21内のメモリセルに接続され、読出用リン

個のメモリセル#0～#($m-1$)が含まれている。これらのメモリセル#0～#($m-1$)は第1図に示されたメモリセル14と等価である。 k 番目のメモリセル# k ($k=0, 1, \dots, m-1$)に注目すると、データ書込用トランジスタ11のゲートは書込用ワード線WWLに接続され、データ読出用トランジスタ12のゲートは読出用ワード線RWLに接続されている。すべてのメモリセル#0～#($m-1$)のデータ書込用トランジスタ11のドレインは、共通の書込ビット線WBLに接続されている。

さらに、偶数番目のメモリセル# k (k は偶数)のデータ読出用トランジスタ12のドレインは読出ビット線RBL0に接続され、奇数番目のメモリセル# k (k は奇数)のデータ読出用トランジスタ12のドレインは読出ビット線RBL1に接続されている。

また、書込ビット線WBLは、書込データドライバ31によって駆動される。読出ビット線RBL0、RBL1にはセンスアンプ32およびセレ

クタ33が接続されている。センスアンプ32は、読出ビット線RBL0、RBL1間の電位差を差動増幅するものである。セクタ33は、偶数番目のメモリセル#k(kは偶数)の情報が読出されたときには読出ビット線RBL0上のデータを出力し、奇数番目のメモリセル#k(kは奇数)の情報が読出されたときには読出ビット線RBL1上のデータを出力する。なお、書込データドライバ31は第2図のデータ入力回路24に含まれ、センスアンプ32およびセクタ33はデータ出力回路25に含まれる。

第4図はセンスアンプ32の一例を示す回路図である。

このセンスアンプ32は、pチャネル型MOSFET41、44、45およびnチャネル型MOSFET42、43、46、47からなる。トランジスタ44および46のドレインは共に読出ビット線RBL0に接続され、トランジスタ45および47のドレインは共に読出ビット線RBL1に接続されている。トランジスタ44および46

のゲートは共に読出ビット線RBL1に接続され、トランジスタ45および47のゲートは読出ビット線RBL0に接続されている。トランジスタ44および45のソースは共にトランジスタ41を介して電源電位Vccに結合され、トランジスタ46および47のソースはトランジスタ42を介して接地されている。トランジスタ42のゲートにはセンスイネーブル信号SEが与えられ、トランジスタ41のゲートにはセンスイネーブル信号の反転信号 \overline{SE} が与えられる。これらのトランジスタ44~47により、クロスカプルされたラッチが構成される。一方、トランジスタ43は読出ビット線RBL0およびRBL1の間に接続されている。このトランジスタ43のゲートにはイコライズ信号EQが与えられる。

この実施例のFIFOメモリの動作について第1図、第2図、第3図および第4図を用いて説明する。

電源投入後または書込動作の前にリセット回路28にリセットパルス \overline{RS} が入力され、書込用リ

ングポイント22および読出用リングポイント23が0番地にリセットされる(第2図参照)。次に、書込信号 \overline{W} の立下がりエッジにตอบสนองして入力データD₀~D_nの書込が開始される。書込用リングポイント22における指定番地が進むとともに、書込用ワード線WWL₀~WWL_{m-1}が順に選択され、入力データが書込ビット線WBLを介してメモリセル#0~#(m-1)にシーケンシャルにストアされる(第3図参照)。

一方、読出信号 \overline{R} の立下がりエッジにตอบสนองして、メモリセル14にストアされているデータの読出が開始される(第2図参照)。読出リングポイント23における指定番地が進むとともに読出用ワード線RWL₀~RWL_{m-1}が順に選択され、各メモリセル#1~#(m-1)内のデータが読出データビット線RBL0またはRBL1を介してシーケンシャルに出力される(第3図参照)。書込動作と読出動作とは、それぞれ書込クロックWCKおよび読出クロックRCKにตอบสนองして互いに独立に行なわれる。

次に、第5図のタイミングチャートを用いて読出動作を詳しく説明する。ここでは、第k番目のメモリセル#k(k=0~m-1)をアクセスするサイクルを考える。読出サイクルの初めに、イコライズ信号EQが「H」レベルとなってトランジスタ43(第4図)が導通する。これにより、読出ビット線RBL0およびRBL1が短絡され、それらの読出ビット線RBL0、RBL1の電位がイコライズされる。このとき、後述する理由により読出ビット線RBL0、RBL1の電位は各々Vcc/2に設定される。その後、イコライズ信号EQが立下がってトランジスタ43がオフする。そして、読出用ワード線RWL₀の電位が立上がり、メモリセル#kのデータ読出用トランジスタ12がオンし、これによりメモリセル#kがアクセスされる。

まず、偶数番目のメモリセルk(k=0, 2, 4, ...)がアクセスされた場合を考える。第3図において、記憶容量13が接地電位に放電されているとすると(ケース1)、読出用ワード線RW

L₁の電位が立上がった後、記憶容量13と読出ビット線RBL0との電荷分配により読出ビット線RBL0の電位が $V_{cc}/2$ から数100mV低下する。一方、メモリセル#kに接続されていない読出ビット線RBL1の電位は $V_{cc}/2$ のまま変化しない。その後、センスイネーブル信号SEが立上がるによりセンスアンプ32が活性化されると、読出ビット線RBL0、RBL1間の数100mVの電位差がセンスアンプ32により増幅され、読出ビット線RBL0の電位が0Vに低下し、読出ビット線RBL1の電位が V_{cc} レベルに上昇する(第4図および第5図参照)。逆に、第3図において、記憶容量13が正電位に充電されているとすると(ケースⅡ)、読出用ワード線RWL₁の電位が立上がった後、記憶容量13と読出ビット線RBL0との電荷分配により、読出ビット線RBL0の電位が $V_{cc}/2$ から数100mV上昇する。一方、メモリセル#kに接続されていない読出ビット線RBL1の電位は $V_{cc}/2$ のまま変化しない。センスイネーブル信

号SEが立上がるによりセンスアンプ32が活性化されると、読出ビット線RBL0の電位が V_{cc} レベルまで上昇し、読出ビット線RBL1の電位が0Vに低下する。

ケースⅠ、Ⅱの場合とも、読出ビット線RBL0およびRBL1の差動データは、データ出力回路25にラッチされる(第2図参照)。

その後、読出用ワード線RWL₁の電位が立上がった後、センスイネーブル信号SEが立下がる。そして、さらにイコライズ信号EQが「H」レベルになって再びトランジスタ43が導通し(第4図参照)、読出ビット線RBL0、RBL1の電荷分配の結果、それらの電位は $(5+0)/2=2.5[V]$ となって読出ビット線RBL0、RBL1は2.5Vにプリチャージされ、メモリセル#kの読出サイクルが終了する。

なお、奇数番目のメモリセル#k(k=1, 3, 5, ...)がアクセスされた場合は、上述の動作において、読出ビット線RBL0と読出ビット線RBL1との記述が逆になる。

また、第3図に示すような折返し読出ビット線構成では、偶数番目のメモリセルと奇数番目のメモリセルとに同一の情報が記憶されたとしても、センスアンプ32の出力は逆になる。そこで、セレクト33は、偶数番目のメモリセルからデータが読出されたときには読出ビット線RBL0のデータを選択して出力し、奇数番目のメモリセルからデータが読出されたときには読出ビット線RBL1のデータを選択して出力する。

以上のように上記FIFOメモリにおいては、書込動作と読出動作とは独立に行なわれ、各々のサイクル時間が異なってもよい。

なお、第6図に示すように、第3図におけるk番目のメモリセル#kの読出用ワード線RWL₁と(k+1)番目のメモリセルの書込用ワード線WWL_{1+k}とを共通にしてワード線WL₁とすると、シフトレジスタ機能を有するメモリデバイスが実現される。すなわち、k番目のメモリセル#kからデータが読出されると同時に(k+1)番目のメモリセル#(k+1)にデータが書込まれ

る。

また、上記実施例においては、ワード線選択手段として、書込用リングポイント22および読出用リングポイント23を用いることにより、読出および書込ともシーケンシャルなFIFOメモリが構成されているが、第7図に示すように、書込用リングポイント22および読出用リングポイント23の代わりに書込用デコード52および読出用デコード53を用いることにより、ランダムアクセス可能なメモリが構成される。この場合、書込用デコード52および読出用デコード53はそれぞれ書込アドレス信号WAおよび読出アドレス信号RAに応じてメモリセルアレイ21のメモリセルを選択する。

なお、上記実施例においては、ラッチ型のセンスアンプが用いられているが、これに限定されるものではなく、他の構成のセンスアンプが用いられてもよい。

また、上記実施例においては、読出ビット線がフォールドビット線構成にされているが、こ

れに限定されるものではなく、1本の読出ビット線に1列のすべてのメモリセルが接続されるような構成でもよい。その場合には、センスアンプ、プリチャージ回路などの構成が、たとえば第9図に示したような回路構成に変更されてもよい。さらに、上記実施例では、2本の読出ビット線の電荷分配によりそれらの読出ビット線を $V_{cc}/2$ レベルにプリチャージしているが、バイアス回路によりそれらの読出ビット線を $V_{cc}/2$ レベルに設定してもよい。

また、上記実施例のようなダイナミック型のメモリセルにおいては、データ保持時間の制限があるので、随時、読出用ワード線をシーケンシャルに選択して読出動作を行なうことによりメモリセルのデータをリフレッシュしてもよい。

また、プロセス技術としては、ダイナミックRAM標準の2層ポリシリコンゲートプロセスを用いてもよいし、ASIC (Application Specific Integrated Circuit) のコアセルとしての応用を考慮

するなら、1層ポリシリコンゲートプロセスを用いてもよい。

[発明の効果]

以上のようにこの発明によれば、2つのトランジスタと1つの容量手段によりメモリセルが構成されているので、セルサイズが小さくなり、安価でかつ大容量の半導体記憶装置が実現可能となる。

4. 図面の簡単な説明

第1図はこの発明の一実施例による半導体記憶装置に含まれるメモリセルの回路図、第2図は第1図のメモリセルからなるFIFOメモリの構成を示すブロック図、第3図は第2図のFIFOメモリに含まれるメモリセルアレイの1列の部分の構成を示す回路図、第4図は第2図のFIFOメモリに含まれるセンスアンプの一例を示す回路図、第5図は第2図のFIFOメモリの読出動作を説明するためのタイミングチャート、第6図はこの発明の他の実施例による半導体記憶装置に含まれるメモリセルアレイの1列の部分の構成を示す回路図、第7図は第1図のメモリセルからなるラン

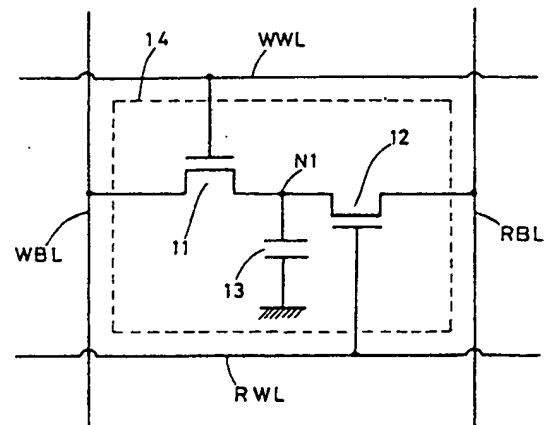
ダムアクセス可能な半導体記憶装置の構成を示すブロック図、第8図は従来の半導体記憶装置に含まれるメモリセルの回路図、第9図は第8図の半導体記憶装置における読出ビット線のプリチャージ回路およびセンスアンプ回路を示す図である。

図において、11はデータ書込用トランジスタ、12はデータ読出用トランジスタ、13は記憶容量、14はメモリセル、WBLは書込ビット線、RBLは読出ビット線、WWLは書込用ワード線、RWLは読出用ワード線、21はメモリセルアレイ、22は書込用リングポイント、23は読出用リングポイント、24はデータ入力回路、25はデータ出力回路、26は書込コントロール回路、27は読出コントロール回路、28はリセット回路、31は書込データドライバ、32はセンスアンプ、33はセレクトである。

なお、各図中、同一符号は同一または相当部分を示す。

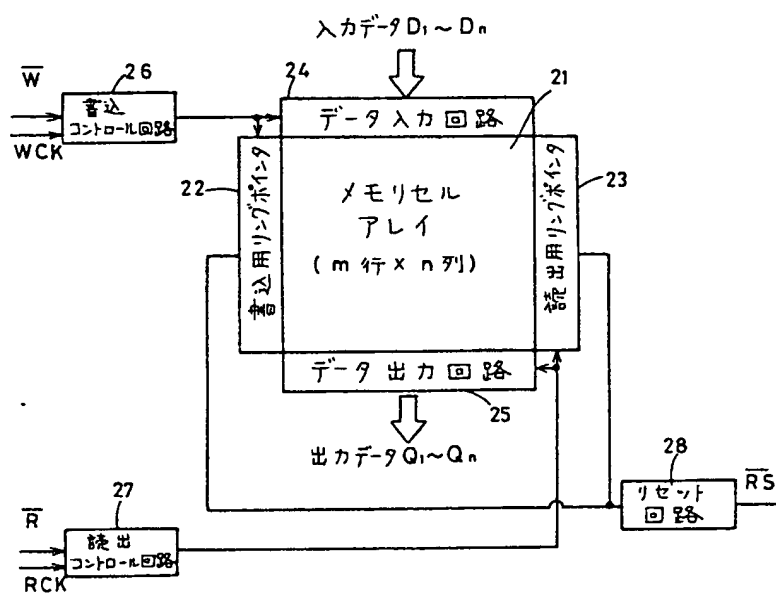
代理人 大 岩 増 雄

第 1 図

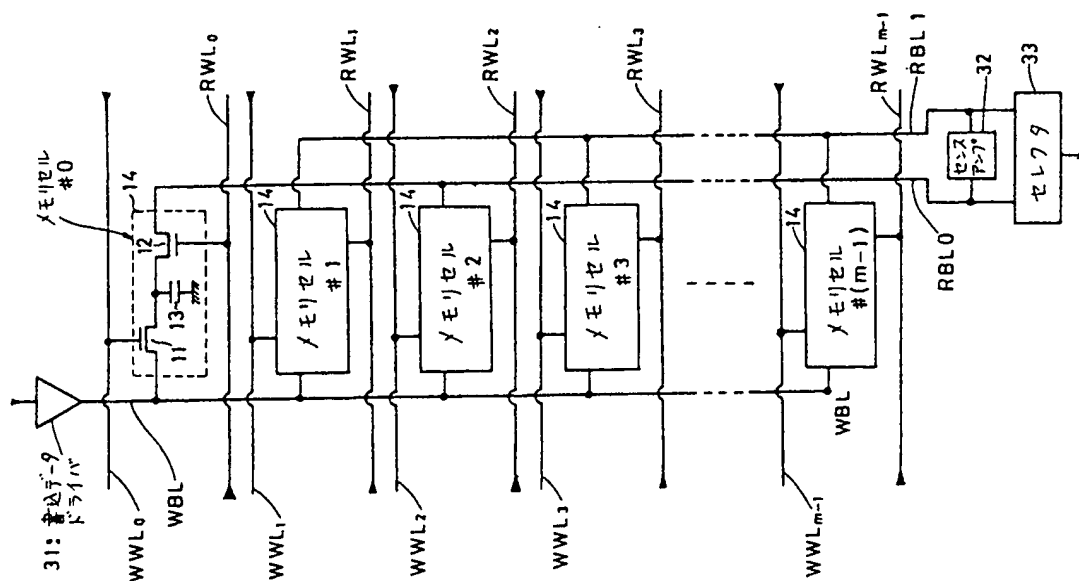


11: データ書込用トランジスタ 12: データ読出用トランジスタ
13: 記憶容量 14: メモリセル
WBL: 書込ビット線 RBL: 読出ビット線
WWL: 書込用ワード線 RWL: 読出用ワード線
N1: ノード

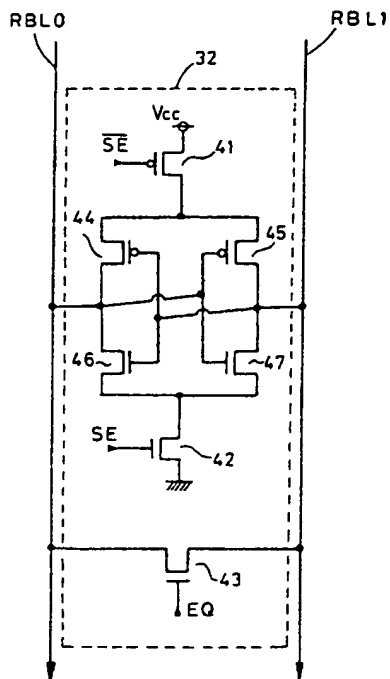
第 2 図



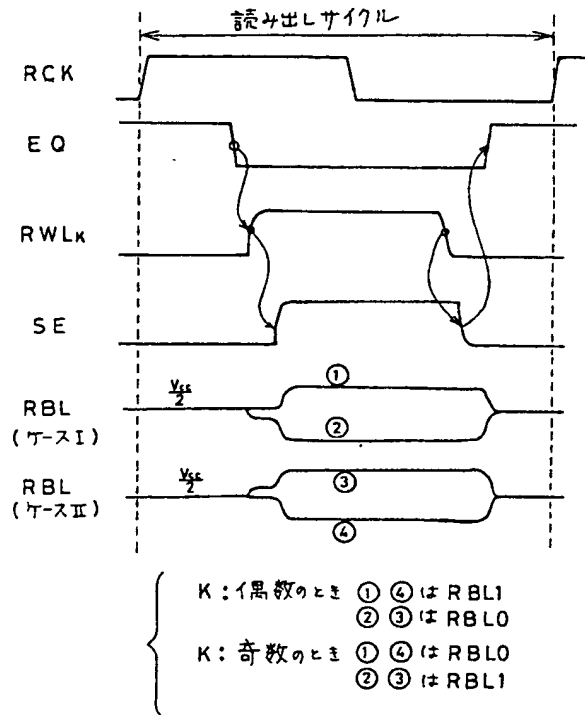
第 3 図



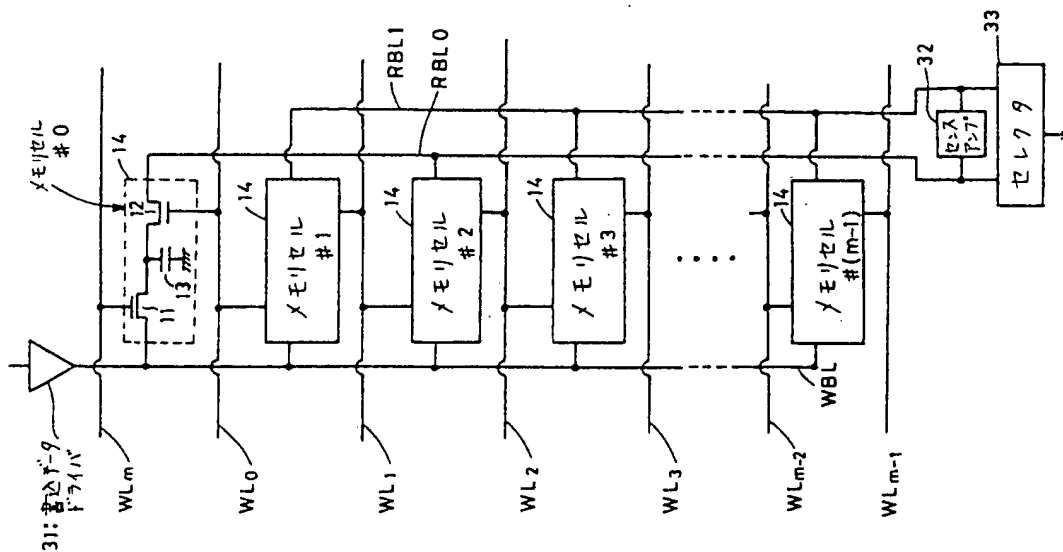
第 4 図



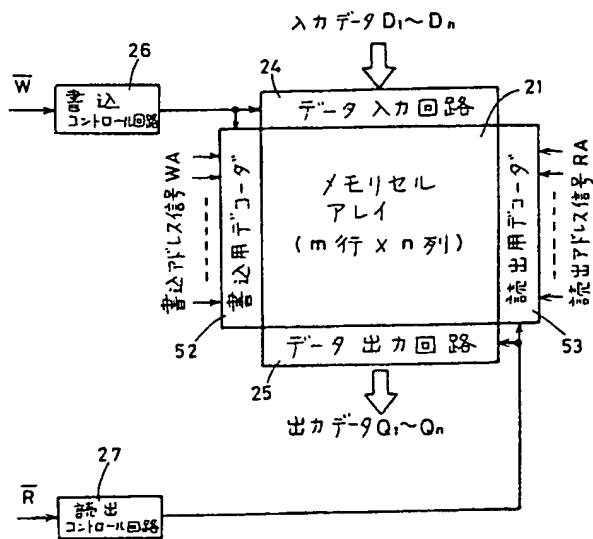
第 5 図



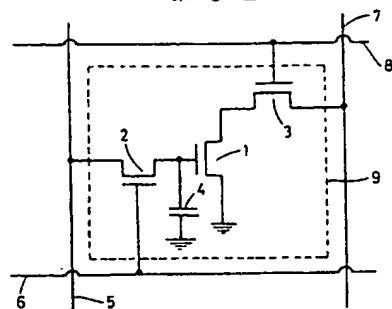
第 6 図



第 7 図



第 8 図



- 1: データ蓄積用トランジスタ
- 2: データ書込用トランジスタ
- 3: データ読出用トランジスタ
- 4: 記憶容量
- 5: 書込データビット線
- 6: 書込用選択線
- 7: 読出データビット線
- 8: 読出用選択線
- 9: メモリセル

第 9 図

